

CLIPPEDIMAGE= JP402189951A

PAT-NO: JP402189951A

DOCUMENT-IDENTIFIER: JP 02189951 A

TITLE: GATE ARRAY

PUBN-DATE: July 25, 1990

INVENTOR-INFORMATION:

NAME

HOSOMI, SHUNSUKE

NUNOGAMI, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP01009035

APPL-DATE: January 18, 1989

INT-CL (IPC): H01L021/82;H01L027/04 ;H01L027/118

US-CL-CURRENT: 257/207

ABSTRACT:

PURPOSE: To remove high-frequency noises, and to improve reliability by constituting a malfunction preventive cell into a vacant area by a capacitor connected between a first power supply and a second power supply.

CONSTITUTION: Logical elements are incorporated into logical element cells 2a in cell areas 2, and malfunction preventive cells 8a with capacitors for removing noises are formed into the regions of oblique line sections into which the logical elements in the cell areas 2 are not incorporated. Capacitors C1-C4 are built in positively among ground levels and power

supplies VCC and among the ground levels and other fixed potential by utilizing transistors T1, which exist in vacant areas and do not conduct logical operation, in the circuits of the malfunction preventive cells 8a. Accordingly, the high-frequency noises of the variation of a power supply, etc., are removed, and a gate array preventing a malfunction such as the logical inversion of adjacent logical elements, a latch-up, etc., can be organized.

COPYRIGHT: (C)1990, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-189951

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月25日

H 01 L 21/82
27/04
27/118

D 7514-5F

8526-5F H 01 L 21/82
8526-5F

L
M

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 ゲートアレイ

⑯ 特 願 平1-9035

⑰ 出 願 平1(1989)1月18日

⑱ 発 明 者 細 見 俊 介 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑲ 発 明 者 布 上 裕 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

ゲートアレイ

2. 特許請求の範囲

(1) 所定のサブストレート上に形成されたゲートアレイであって、

第1の電源電位および第2の電源電位に接続された論理セルと、

前記論理セルに接続された配線と、

前記第1の電源電位と前記第2の電源電位との間に接続され、かつ前記サブストレート上の空きエリア内に形成されたノイズ除去用キャパシタとを備えるゲートアレイ。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はゲートアレイに関するものであり、特にその信頼性向上に関するものである。

(従来の技術)

第4図は、従来のチャンネルエリア付きゲートアレイの平面図である。サブストレート上に形成さ

れた正方形のゲートアレイ40の外周縁部には、周辺バッファセル1が各辺に沿って配置される。ゲートアレイ40の内部には、セルエリア2が所定の間隔をおいて配置され、インバータ、NOR、NAND、フリップフロップなどの論理素子が論理素子セル2a内に組み込まれる。論理関係に基づく論理素子間の配線などは、セルエリア2間に存在するチャンネルエリア3内に組み込まれる。なお、チャンネルエリア3の幅が固定のものは、固定チャンネル幅ゲートアレイ、可変のものは可変チャンネル幅ゲートアレイである。また、セルエリア2内には、斜線部で示される、論理素子を組み込まれていない空きセルエリア4が存在する。

第5図は、従来のトランジスタしきつめ方式のゲートアレイの平面図である。サブストレート上に形成された正方形のゲートアレイ50の外周縁部には、周辺バッファセル1が各辺に沿って配置される。ゲートアレイ50の内部には、一面にトランジスタがしきつめられており、このトランジスタを用いて任意の大きさの領域に論理セル5

が組み込まれる。他の領域は配線エリア6となり、論理セル5間の配線などが組み込まれる。配線エリア6内には、斜線部で示される、配線を施されない空き配線エリア7が存在する。

(発明が解決しようとする課題)

従来のゲートアレイは以上のように構成されているので、空きセルエリア4や空き配線エリア7などの空きエリアが未使用のまま放置されていた。そのため、これらの領域が無駄な領域となっていた。また、電源変動などの高周波ノイズに対する配慮が充分ではなかった。

この発明は上記のような問題点を解消するためになされたもので、空きエリアを有効に利用するために、キャパシタからなる誤動作防止セルを空きエリアに形成し、実装面積の増加を抑制しつつ、高周波ノイズを除去し、信頼性を向上したゲートアレイを得ることを目的とする。

(課題を解決するための手段)

この発明に係るゲートアレイは、所定のサブストレート上に形成されたゲートアレイであって、

第1の電源電位および第2の電源電位に接続された論理セルと、論理セルに接続された配線と、第1の電源電位と第2の電源電位との間に接続され、かつサブストレート上の空きエリア内に形成されたノイズ除去用キャパシタとを備えるものである。

(作用)

この発明における第1の電源と第2の電源との間に接続されたキャパシタは、空きエリア内に形成され、高周波ノイズを除去するための誤動作防止セルを構成する。

(実施例)

以下、この発明の一実施例を図について説明する。第1図は、この発明の一実施例によるチャンネルエリア付きゲートアレイの平面図である。リノストレート上に形成された正方形形状のゲートアレイ10内に、周辺バッファセル1、セルエリア2およびチャンネルエリア3が配置されている。周辺バッファセル1およびチャンネルエリア3の構成、動作は、前述した従来のチャンネルエリア付きゲートアレイ40と同様である。またセルエリア2内

- 3 -

の論理素子セル2aには、従来と同様に論理素子が組み込まれる。セルエリア2内の論理素子を組み込まれない斜線部の領域には、ノイズ除去用のキャパシタを備えた誤動作防止セル8aが形成される。

また、第2図はこの発明の一実施例によるトランジスタしきつめ方式のゲートアレイの平面図である。サブストレート上に形成された正方形形状のゲートアレイ20内には、周辺バッファセル1、論理セル5および配線エリア6が配置されている。周辺バッファセル1および論理セル5の構成、動作は、前述した従来のトランジスタしきつめ方式のゲートアレイ50と同様である。また配線エリア6内には、従来と同様に配線が組み込まれる。配線エリア6内の配線を組み込まれない斜線部の領域には、ノイズ除去用のキャパシタを備えた誤動作防止セル8bが形成される。

次に、誤動作防止セル8a、8bの構成、動作について説明する。第3図は、この発明の一実施例による誤動作防止セルの回路図である。トラン

ジスタ1は、空きエリアに存在するトランジスタであり、論理素子としては動作しないトランジスタである。ゲートGおよびソースSは接地レベルに、リノストレートSBは電源 V_{CC} に接続される。ゲートGとサブストレートSBとの間には、例えばトランジスタT1のMOS容量を利用し、キャパシタC1が組み込まれる。ドレインDとリノストレートSBとの間およびソースSとリノストレートSBとの間には、例えば逆バイアスされたpn接合の容量を利用してキャパシタC2、C3が組み込まれる。また、接地レベルと電源 V_{CC} との間には、例えば配線容量を利用してキャパシタC4が組み込まれる。

以上のように、空きエリアに存在する論理動作を行わないトランジスタT1を利用して、接地レベルと電源 V_{CC} との間および他の固定電位の間に積極的にキャパシタを組み込むことにより、電源変動などの高周波ノイズを除去し、誤動作を防止するゲートアレイを構成することが

- 5 -

-276-

- 6 -

できる。

通常のゲートアレイにおいては、トランジスタの配列や電源 V_{CC} 、接地レベルの配線などがあらかじめ規則正しく配置されているので、上記のようなノイズ除去のためのキャパシタを容易に組み込むことができる。

またノイズ除去用のキャパシタを、ゲートアレイ内の論理素子にきわめて近接した位置に組み込むことができるので、充分なノイズ除去効果が得られる。

なお、以上の例においては、MOSFETを用いた誤動作防止セルについて説明したが、バイポーラトランジスタを用いても、同様に誤動作防止セルを構成することができる。

また、第1図、第2図においては、論理素子セル2a、論理セル5と誤動作防止セル8a、8bとをそれぞれ分離して示したが、論理素子を組み込む領域内のトランジスタを利用してノイズ除去のためのキャパシタを組み込んでよい。この場合、論理素子領域は誤動作防止セルを内蔵する構

成となる。

(発明の効果)

以上のようにこの発明によれば、第1の電源と第2の電源との間に接続されたキャパシタによって、空きエリア内に高周波ノイズを除去するための誤動作防止セルを構成し、空きエリアを有効に利用して実装面積の増加を抑制しつつ、高周波ノイズを除去し、信頼性を向上したゲートアレイを得ることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるチャンネルエリア付きゲートアレイの平面図、第2図はこの発明の一実施例によるトランジスタしきつめ方式のゲートアレイの平面図、第3図はこの発明の一実施例による誤動作防止セルの回路図、第4図は従来のチャンネルエリア付きゲートアレイの平面図、第5図は従来のトランジスタしきつめ方式のゲートアレイの平面図である。

図において、2aは論理素子セル、3はチャンネルエリア、5は論理セル、6は配線エリア、8a、

- 7 -

- 8 -

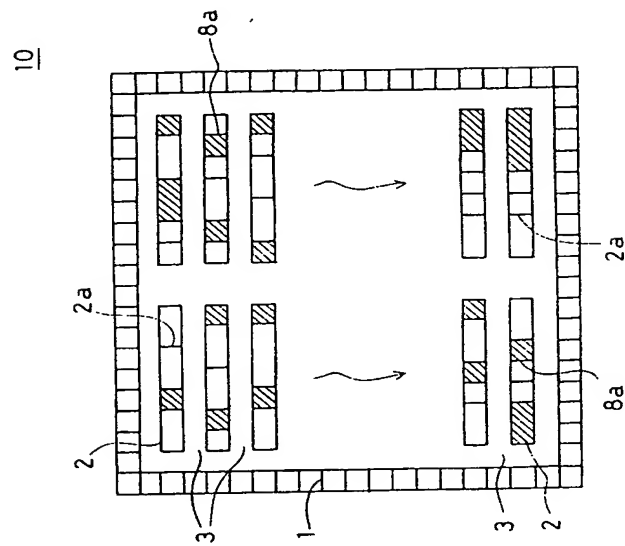
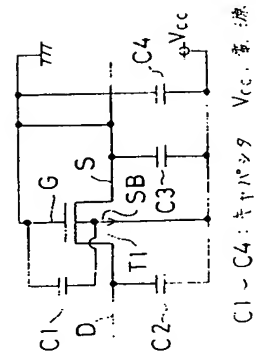
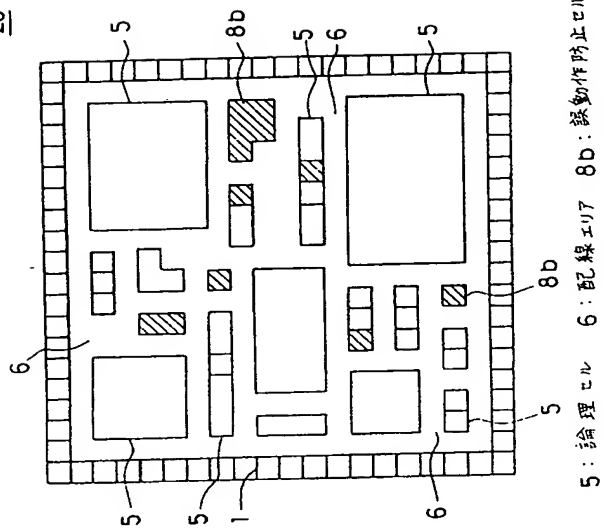
8bは誤動作防止セル、 V_{CC} は電源、C1～C4はキャパシタである。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

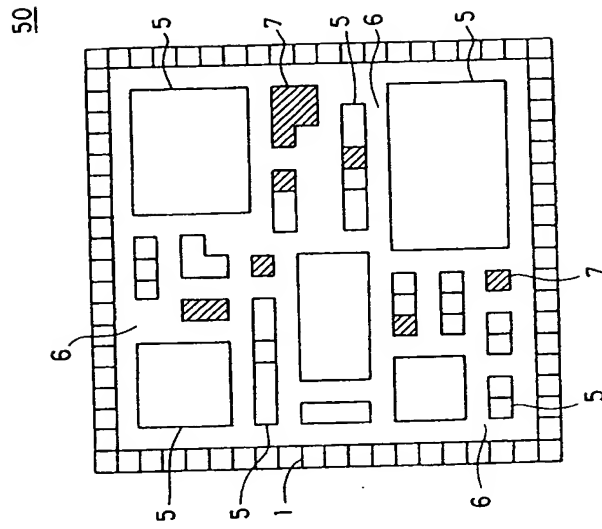
- 9 -

-277-

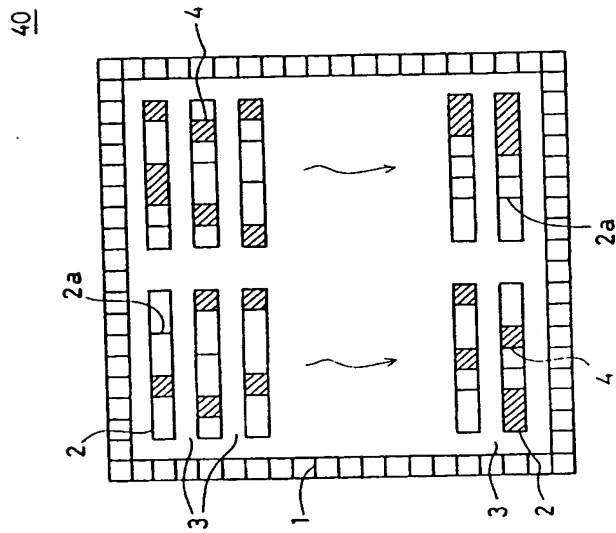


2a: 論理素了ヒル
3: チャネルエリヤ
8a: 誤動作防止ル

第 5 図



第 4 図



手続補正書(自発)

平成 11 年 10 月 16 日



特許庁長官殿

1. 事件の表示 特願 1-9035号

2. 発明の名称 ゲートアレイ

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601)三菱電機株式会社
代表者 志岐守哉

4. 代理人
住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375)弁理士 大岩増雄
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の「発明の詳細な説明の欄」

6. 補正の内容

(1) 明細書第2頁第1行、第16行、第4頁第15行、および第5頁第8行の「正方形状」を、「矩形状」に訂正する。

11.1

方式 (明) 審

